

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04247664 A**

(43) Date of publication of application: **03 . 09 . 92**

(51) Int. Cl.

H01L 29/784

(21) Application number: **03259228**

(22) Date of filing: **07 . 10 . 91**

(30) Priority: **10 . 01 . 91 US 91 639625**

(71) Applicant: **INTERNATL BUSINESS MACH
CORP <IBM>**

(72) Inventor: **CRABBE EMMANUEL
MEYERSON BERNARD STEELE
STORK JOHANNES MARIA
CORNELIS
VERDONCKT-VANDEBROEK
SOPHIE**

(54) **MODULATED DOPED MISFET AND FABRICATION
THEREOF**

(57) Abstract:

PURPOSE: To improve mutual conductance of an MISFET.

CONSTITUTION: A single peak percentage level is

provided by inclining the germanium profile in a channel and charge carriers in the channel are located based on the single peak percentage level. Mutual conductance of an element is optimized by controlling the position of the carriers.

COPYRIGHT: (C)1992,JPO

特開平4-247664

(43) 公開日 平成4年(1992)9月3日

(51) Int.Cl. ³	識別記号	庁内整理番号	F 1	技術表示箇所
H 0 1 L 29/784		8422-4M	H 0 1 L 29/ 78	3 0 1 H

審査請求 有 請求項の数23(全 11 頁)

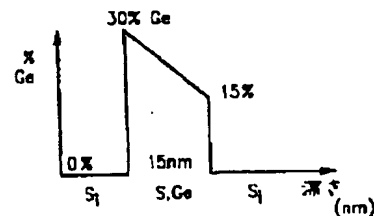
<p>(21) 出願番号 特願平3-259228</p> <p>(22) 出願日 平成3年(1991)10月7日</p> <p>(31) 優先権主張番号 6 3 9 6 2 5</p> <p>(32) 優先日 1991年1月10日</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)</p> <p>(72) 発明者 エマニユエル・クラベ アメリカ合衆国10514、ニューヨーク州 チャバクア、ランプリング・ブルック・ロード 97番地</p> <p>(74) 代理人 弁理士 碩宮 孝一 (外3名)</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 傾斜形チャネル電界効果トランジスタ

(57) 【要約】

【目的】 MISFETの相互コンダクタンスを改善すること。

【構成】 チャネル中のゲルマニウム・プロファイルを傾斜させて、単一のピーク百分率レベルをもたせ、この単一ピーク百分率レベルにより、チャネル内の電荷キャリアの場所を定めるようにする。このキャリアの位置を制御することにより、素子の相互コンダクタンスを最適にする。



・【特許請求の範囲】

【請求項1】 MISFETであって、

イ) 第1の単結晶半導体材料の基板と、

ロ) 該基板の上に配置した、前記第1半導体材料と第2の半導体材料との合金の引張仮像エピタキシャル・チャンネル層であって、前記合金は、その前記第2半導体材料の百分率を前記チャンネル層内で単一のピーク百分率レベルまで傾斜させて、前記チャンネル層内のキャリアの場所が前記ピーク百分率レベルのところと一致するようにした、前記の引張仮像エピタキシャル・チャンネル層と、

ハ) 該チャンネル層の上に配置した前記第1半導体材料のエピタキシャル・キャップ層と、

ニ) 該キャップ層の上に配置したゲート絶縁体層と、

ホ) 該ゲート絶縁体層の上に配置したゲート電極と、及び

ヘ) 前記キャップ層及び前記チャンネル層中でかつ前記ゲート電極の下にしかも該ゲート電極の互いに対向した側に形成した、1つの導電形式のソース領域及びドレイン領域と、から成るMISFET。

【請求項2】 請求項1記載のMISFETであって、前記合金中の前記第2半導体材料の前記単一ピーク百分率レベルは、10%～50%の範囲にある、MISFET。

【請求項3】 請求項2記載のMISFETであって、前記合金中の前記第2半導体材料の前記単一ピーク百分率レベルは、約30%である、MISFET。

【請求項4】 請求項1記載のMISFETであって、前記単一ピーク百分率レベルは、前記チャンネル層の互いに対向した第1及び第2の主表面の間にこれから離間した所定の場所に位置させ、また該所定の場所は、前記チャンネル層内の素子相互コンダクタンスを最適にするように選択した、MISFET。

【請求項5】 請求項4記載のMISFETであって、前記所定の場所は、前記第1主表面に近く、しかも前記第1主表面は、前記チャンネル層と前記キャップ層との界面に位置した、MISFET。

【請求項6】 請求項1記載のMISFETであって、前記第1単結晶半導体材料はシリコンである、MISFET。

【請求項7】 請求項6記載のMISFETであって、前記第2半導体材料はゲルマニウムである、MISFET。

【請求項8】 請求項7記載のMISFETであって、前記合金中のゲルマニウムの前記単一ピーク百分率レベルは、10%～50%の範囲内にある、MISFET。

【請求項9】 請求項1記載のMISFETであって、前記絶縁体層は酸化物である、MISFET。

【請求項10】 請求項9記載のMISFETであって、前記酸化物は二酸化シリコンである、MISFET。

【請求項11】 請求項1記載のMISFETであって、さらに前記基板の上に配置した、前記1つの導電形式で重くドーブした前記第1半導体材料のエピタキシャル層と、前記チャンネル層と前記重くドーブした層との間に配置した、前記第1半導体材料のエピタキシャル・スペーサ層と、を含むMISFET。

【請求項12】 変調ドーブ形MISFETであって、

イ) シリコン基板と、

ロ) 該基板の上に配置した、 $\text{Si}_{100-x}\text{Ge}_x$ の合金のエピタキシャル・チャンネル層であって、 x は該合金中のGeの百分率を表し、該百分率 x は、前記合金内で単一のピークレベルへ傾斜させて、前記チャンネル層内のキャリアの場所が前記ピークレベルのところと一致するようにした、前記のエピタキシャル・チャンネル層と、

ハ) 該チャンネル層上に配置したシリコンのエピタキシャル・キャップ層と、

ニ) 該キャップ層の上に配置した二酸化シリコンのゲート絶縁体層と、

ホ) 該ゲート絶縁体層の上に配置したゲート電極と、及び

ヘ) 前記キャップ層及び前記チャンネル層中でかつ前記ゲート電極の下にしかも該ゲート電極の互いに対向した側に形成した、1つの導電形式のソース領域及びドレイン領域と、から成る変調ドーブ形MISFET。

【請求項13】 請求項12記載のMISFETであって、前記合金中の前記第2半導体材料の前記単一ピーク百分率レベルは、10%～50%の範囲内にある、MISFET。

【請求項14】 請求項13記載のMISFETであって、前記合金中の前記第2半導体材料の前記単一ピーク百分率レベルは、約30%である、MISFET。

【請求項15】 請求項12記載のMISFETであって、前記単一ピーク百分率レベルは、前記チャンネル層の互いに対向した第1及び第2の主表面の間にこれから離間した所定の場所に位置させ、また該所定の場所は、前記チャンネル層内のキャリア相互コンダクタンスを最適にするように選択した、MISFET。

【請求項16】 請求項12記載のMISFETであって、さらに前記基板の上に配置した、前記1つの導電形式で重くドーブした前記第1半導体材料のエピタキシャル層と、前記チャンネル層と前記重くドーブした層との間に配置した、前記第1半導体材料のエピタキシャル・スペーサ層と、を含むMISFET。

【請求項17】 変調ドーブ形MOSFETを製作する製作方法であって、

イ) 第1の単結晶半導体材料の基板の上に、前記第1半導体材料と第2の半導体材料の合金の引張仮像エピタキシャル・チャンネル層を形成するステップであって、前記合金は、前記第2半導体材料の百分率を前記チャンネル層内で単一のピーク百分率レベルへ傾斜させて形成し

3

て、前記チャネル層内のキャリアの場所が前記ピーク百分率レベルのところに一致するようにする、前記のステップと、

ロ) 前記チャネル層の上に、前記第1半導体材料のエピタキシャル・キャップ層を形成するステップと、

ハ) 前記キャップ層上にゲート絶縁体層を形成するステップと、

ニ) 前記ゲート絶縁体層上にゲート電極を形成するステップと、及び

ホ) 前記キャップ層及び前記チャネル層中でかつ前記ゲート電極の下にしかも該ゲート電極の互いに対向する側に、1つの導電形式のソース領域及びドレイン領域を形成するステップと、から成る製作方法。

・【請求項18】 請求項17記載の方法であって、前記のチャネル層を形成するステップは、前記合金中の前記第2半導体材料の前記単一ピーク百分率レベルを10%~50%の範囲内で形成するステップ、を含む方法。

【請求項19】 請求項18記載の方法であって、前記合金中の前記第2半導体材料の前記単一ピーク百分率レベルは、約30%である、方法。

【請求項20】 請求項17記載の方法であって、前記単一ピーク百分率レベルは、前記チャネル層の互いに対向した第1及び第2の主表面の間でこれらから離間した所定の場所に位置させ、また該所定の場所は、前記チャネル層内のキャリア相互コンダクタンスを最適にするように選択した、方法。

【請求項21】 請求項17記載の方法であって、前記合金は、GeSiであって、前記合金中のゲルマニウムの前記単一ピーク百分率レベルが10%~50%の範囲内にある、方法。

【請求項22】 請求項21記載の方法であって、前記絶縁体層は二酸化シリコンである、方法。

【請求項23】 請求項17記載の方法であって、さらに前記基板の上に、前記1つの導電形式で重くドーブした前記第1半導体材料のエピタキシャル層を形成するステップと、前記チャネル層と前記重くドーブした層との間に、前記第1半導体材料のエピタキシャル・スペーサ層を形成するステップと、を含む方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的には半導体素子に関し、より詳細には、相互コンダクタンスを改善するために傾斜形シリコン・ゲルマニウム・チャネルを有した金属絶縁体型の電界効果トランジスタに関するものである。

【0002】

【従来の技術】電界効果トランジスタは、ソースと、このソースから隔離したドレインと、これらソースとドレインとの間に配置したゲートと、を備えた水平な素子である。そのチャネル領域は、ゲートの下でソースとドレ

4

インとの間にある。金属絶縁体型の電界効果トランジスタ(MISFET)では、そのチャネルの頂部に配置した絶縁層に対し、金属電極をはり付けている。そして、このゲート電極に加える電圧で、そのチャネル内のソースからドレインに至る電流の流れを制御するようにしている。

【0003】半導体としてのシリコンの欠点の一つは、その電子移動度と比較してその正孔移動度にある。電子がシリコン中を通る通路は、結晶格子構造により制限を受けるようになっている。ゲルマニウムのようなその他の材料では、それとは異なったエネルギー・バンド構造を有していて、それより高いキャリア移動度となっている。このような高いキャリア移動度は、最終的にはキャリア移動度が素子のスイッチング速度を決定するとの理由から、望ましいものである。そのスイッチング速度が早くなればなる程、その所与の素子は、ある所与の単位時間内により多くの動作を行うことができる。

【0004】シリコン・ゲルマニウム合金は、この合金層が充分薄い限りでは、シリコン基板上に同じ度合いで成長させることができる。これについては、パーソル(T.P. Pearsall)とビーン(J.C. Bean)の"Enhancement- and depletion-mode P-channel Ge_{0.15}Si_{0.85} modulation doped FETs", IEEE Electron Device Letters, EDL-7, pp. 308-310, 1986、及びタフト(R.C. Taft)とブルマー(J.D. Plummer)とライヤ(S.S. Iyer)の"Fabrication of a p-channel BICFET in the Ge_{0.15}Si_{0.85}/Si system", International Electron Device Conf. Digest, pp. 570-573, 1988の資料を参照されたい。ゲルマニウムの結晶の格子間隔は、シリコン結晶の格子よりは大きいので、ゲルマニウムとシリコンの合金を含む層は、同じ度合いに成長させたときには、引張状態の下にある。即ち、ゲルマニウムの結晶格子は圧縮されて、いわゆる仮像層を与える。これについては、カスパー(K. Casper)の"Growth Improperities of Si/SiGe Superlattices" MSS-11 Proceedings, page 703, Kyoto, Japan, September 1975と、ラング(D.V. Lang)外の"Measurement of the Band Gap of Ge_{0.15}Si_{0.85}/Si Strained Layer Heterostructures", Applied Physics Letters, 47, page 1333 (1985)を参照されたい。そのような引張層について、幾つかのグループは、2次元の電子と正孔のガス層を形成できることを実証している。最近、正孔の移動度が、シリコンとゲルマニウムの合金で形成した層においては純粋のシリコンにおけるより高い、ということが示されている。これに関しては、ワング(P.J. Wang)外の"Two-dimensional hole gas in Si_{0.85}Ge_{0.15}/Si modulation-doped double heterostructure", Appl. Phys. Lett. Vol. 54, No. 26, p. 2701 (1989)を参照されたい。

【0005】そのようなシステムにおける正孔移動度は、重い正孔のバンドと比べると軽い正孔のバンドのエ

エネルギーを減少させるその合金層内の引張により、強めることが可能である。そのシステムにおいては、伝導帯と価電子帯の不連続部は、III-V化合物物質に比較すると割合に低い。その上、シリコン上のショットキー障壁の高さが小さいことにより、大きなゲート漏洩電流（特に室温で）が原因で、パーソル（Pearsall）外のMOSFET素子の商業的利用は大変困難になることになる。

【0006】欧州特許 0 323 896 AZは、Si中に90～100%のGeの合金で形成したゲルマニウム・チャンネル領域をもつ、従来のMOSFET素子を開示している。そのチャンネルは、対称形であり、そしてこのチャンネルの各縁部には、シリコン中に90～100%のゲルマニウムのその合金から、これの周囲の純粋シリコンの領域への、同等の遷移領域がある。各チャンネル縁部には、シリコンとゲルマニウムの間のよく知られた格子不整合を収拾する傾斜領域が設けられており、その不整合は4.0%である。この結果として、最もゲルマニウムの層には、これの格子定数とSi基板のそれとの間の厳しい不整合により、平方cm当たり数兆個を超える欠陥が発生する。このような欠陥は、キャリアの移動度を制限することがよく知られている。この構造的な考察からは離れるが、上記チャンネル中のGeプロファイルは、その他の全ての従来技術の場合のように、最もGeの領域中のいたる処で対称でありかつ均一である。従って、2個の活性の輸送領域がそのチャンネルの縁部に形成されることになり、その一方は、シリコン基板から90～100%ゲルマニウム・チャンネルに至る遷移部にあり、そして他方は、その素子の表面にある純粋シリコンへ戻る遷移領域にある。各輸送領域は、一つの正孔ガスを含み、その中心は、そのGeプラトーの各縁部に位置している。各正孔ガスは、ある有限の空間範囲を有していて、これによりそのキャリアの半分が、その欠陥遷移領域に各プラトーの縁部を超えて重なるようになっている。このこともまた、それら欠陥領域にあるキャリアの移動度を減ずることになる。また、これと同じように重要なことであるが、Ge含有量が減少した領域中を正孔が移動するとき、従来の全てのSiGeチャンネルMOSFET設計例の場合と同じように、正孔の移動度は減少する。

【0007】1989年5月15日に出版されしかも本発明と同じ譲受人に譲渡された米国特許出願 07/351,630において、Si基板上で成長させたSiGeチャンネル層を有するMOSFETが開示されている。そのチャンネル層から二酸化シリコン絶縁体層を分離しているのは、シリコン・キャップ層である。適当に電圧を印加すると、SiGe合金層とそのシリコン・キャップ層との間の界面において、高い移動度をもつ電荷キャリアの領域が生ずる。この領域は、2次元の電子ガスまたは正孔ガスを含むことになる。以前の素子のようなSi

/SiO₂界面ではなくむしろSiGe/Si界面においてその電子ガスあるいは正孔ガスを形成することにより、界面散乱は減少するかあるいは除くことができる。高移動度電荷キャリアのその領域は、できるだけ（Si/SiGe界面にある）ゲートに近接させており、従って、その容量は最大になり、また素子性能が高まる。しかし、キャリア移動度は、実際には、そのゲートに最も近いところでは最も低い。このため、容量と移動度の両方に線形に比例する良さの指数である素子の相互コンダクタンスは、最適とはならない。さらに、この以前のものにおいて述べられたチャンネル領域は、周知の全ての従来技術の場合と同じように、対称形のものである。そのような対称形構造において、シリコン領域とシリコン・ゲルマニウム領域との間の突然の遷移は、数多くのキャリアをそのチャンネル領域の外へ輸送するという結果をもたらす。

【0008】

【発明が解決しようとする課題】従って、素子を通る電流量を増加させるために、最適化した相互コンダクタンスをもったSiGeチャンネルを有する、MOSFET型素子を提供することが望ましい。

【0009】

【課題を解決するための手段】本発明は、傾斜した半導体合金チャンネル層をもつMISFETであって、その傾斜によって、電荷キャリアがチャンネル層内の相互コンダクタンスが最適となる場所に位置するようにしたMISFETに向けたものである。本発明のこのMISFETは、第1の単結晶半導体材料と第2の半導体材料との合金の引張仮像エピタキシャル・チャンネル層を、基板の上に配置して備えている。そして、その合金は、上記の第2半導体材料の百分率をそのチャンネル層内で単一のピーク百分率レベルに傾斜させて、そのチャンネル層内のキャリアの場所が上記ピーク百分率レベルのところと一致するようにする。そのチャンネル層の上には、上記の第1半導体材料のエピタキシャル・キャップ層を配置し、そしてこのキャップ層の上にゲート絶縁体層を配置する。また、このゲート絶縁体層の上にゲート電極を配置し、またソースとドレイン領域を、そのゲート電極の互いに対向する側の上記キャップ層及びチャンネル層中に形成する。本発明の好ましい実施例においては、上記のチャンネル層は、シリコン基板上のシリコン・ゲルマニウム合金より形成する。

【0010】上記のチャンネルのプロファイルには傾斜を与え、これにより相互コンダクタンスを最大にするためにそのチャンネル層内の電荷キャリアの場所を制御する。その傾斜により、そのチャンネル内の所望の場所へキャリアを駆動する組込式の電界が生ずる。本発明のこの傾斜形合金チャンネルFETでは、従来技術の素子において形成される2つの活性の輸送領域の問題を避けており、その理由は、単一の輸送領域のみが第2半導体材料の単一

7

ピーク百分率レベルの場所に形成されるからである。さらに、従来技術のSiGeチャンネル素子においては、SiとSiGe間のバンド・オフセットが小さいので、その界面に形成された2次元の正孔ガスは、そのSi層、即ち移動度のより小さい層にこぼれることになる。しかし、本発明のFETにおいては、その問題は、キャリアをその界面から離して位置させ、これにより全てのまたは実質的に全ての正孔ガスをSiGeのより高移動度のチャンネル内に維持することによって、避けることができる。チャンネル内のキャリアのその場所の制御は、シリコン中のGe濃度がある最大値にまで傾斜させ、しかもその最大値を、チャンネル内でしかもいづれの界面からも離れたどこかに置くことにより行う。その最大濃度の点により、それらキャリアの場所が決まる。このチャンネルの詳細な場所は、所望の素子特性に依存することになる。

【0011】本発明の素子の別の好ましい実施例においては、変調ドーピング技術を用い、これによりキャリアは上記のチャンネル層の下に位置させる。まず初めに、狭くかつ本来の位置にドーブしたボロン層を成長させる。低温エピタキシーにより非常に正確に制御できるその総集積ドーズは、素子のしきい値電圧を定める。そのドーブ層は、小さな無ドーブのスペーサにより上記SiGeチャンネルから分離して、イオン化したアクセプタをそのSiGeチャンネルの正孔から物理的に分離するようにする。このスペーサを厚くすると、有害な寄生基板チャンネルができる可能性がある。以上のようにして、変調ドーブ式の金属絶縁体型半導体素子を形成する。

【0012】さらに、MOSFETのそのチャンネル領域を変調ドーピングすることにより、キャリアをイオン化した原子から物理的に分離し、これによりイオン化不純物の分散が無視できる状態で高キャリア濃度を可能にし、またこれによって、均ドーブ形のSiGe MOSFETと比べて高い移動度を可能にする。その上、そのドーバントを、MODFET及びBICFETの両方の場合におけるのと同じようにSiGeチャンネルの上ではなく、その下に位置させれば、素子製作中にSiキャップ層を薄くすることがその総集積ドーピング従ってしきい値電圧に影響を与えないため、プロセスの感度は、大いに向上する。均ドーブ形SiGeのMOSFETに優る利点は、変調ドーブ形素子においては、寄生表面チャンネルのシリコン・キャップの厚さ従ってプロセス変動に対する依存が、それ程決定的でなくなることである。最後に、変調ドーブ形素子では、均ドーブ形SiGeのMOSFETに比べて、SiGeチャンネル中のキャリアの、表面及び基板の寄生チャンネル双方の中のキャリアに対する比率を、最大限にすることができる。

【0013】

【実施例】本発明は、傾斜形合金チャンネルを有した電界効果トランジスタであって、その合金の1元素をそのチ

8

ヤネル中のある単一のピーク百分率レベルへ傾斜させた電界効果トランジスタに向けたものである。本発明は、シリコンまたはゲルマニウム材料、またはIII-V/II-VI材料系において実施することができる。説明の都合上、本発明は、シリコン基板上のシリコン-ゲルマニウム材料系において記述するが、当業者には理解されるように、ここに開示する概念及び技法は、III-V/II-VI系に対しても適用することができるものである。

【0014】本発明の傾斜形チャンネルFETでは、在来10の対称形の合金百分率プロファイルを有する素子に優る多くの利点がある。これらの利点については、図1、図2、図3を参照して説明する。図1は、純粋シリコンの各層の間に挟んだSiGeチャンネル層をもつMOSFETについて、その在来の合金百分率プロファイルを示したものである。15nm厚のそのチャンネル層は、22.5%の均一なGe百分率をもっている。図2は、本発明による傾斜形のプロファイルを示している。これのGe百分率は、Si/SiGe界面において急に30%にまで上昇させ、そしてSiGe/Si界面の15%にまで傾斜して降下させている。図3は、図1と図2に示したプロファイルのMOSFETについて、そのチャンネル電荷-Vg曲線を示したものである。集積Geドーズの合計量が同じ場合に、傾斜形チャンネルのプロファイルからは次のような利点が得られる。即ち、(1)曲線Aの傾斜部分と曲線Bの傾斜部分とにより示されているように、低いVgにおいて相互コンダクタンスがより高く、従ってより鋭いターンオンをもたらすという点、(2)Vgが高くなるにつれ電流が大きくなり、より優れた駆動能力を実現するという点、(3)曲線CとDの位置により示されているように、Siキャップ層における寄生チャンネル伝導が低い点、である。

【0015】図4(a)と図5(a)は、それぞれ、本発明の別の実施例のGeプロファイル(図4(a))と従来技術のGeプロファイル(図5(a))を示したものである。これらの単位は、A.U.(オングストローム)、例えば任意の単位である。また、符号A、B、C、D、EとA'、B'、C'、D'は、その各プロファイルをもったFET構造の横断面の各種の点を指している。A-Bは、5nmのSi層であり、B-Cは、30%Geのピークに至る約7nmのSiGeであり、C-Dは、約13nmである。D-Eは、そのチャンネルの下13の各種Si層である。A'-B'は、約5nmのSi層であり、B'-C'は25%Geの均一なプロファイルをもったSiGe層であり、C'-D'は、各種のSi層である。図4(b)と図5(b)は、それら本発明と従来技術のそれぞれの構造について、その深さの関数として移動度を示している。また、図4(c)と図5(c)は、上記2つの場合の各々について、それら素子が低いゲート・バイアスにより“オン”の状態にあるときの、そのキャリアの位置を示したものである。図4(c)のプロ



ファイルのその形状のため、最大のキャリアの密度は、だいたい点Cのところにあり、そして点Bと点Dとの間で高移動度のGeチャネル内にトラップされたままとなっている。これは、単一のガスとなっており、図5(c)の場合とは明白な違いがある。まず初めに、図5(c)の対称形の場合においては、2つのガスが形成されており、その一方はB'を中心とし、他方はC'を中心としている。これは、その各ガス中のキャリアの内の大きな割合のキャリアが、高移動度の領域の外側にあることを意味している。B'におけるガスについては、大きな割合のものがA'とB'の間の領域、即ち低移動度の領域にある。また、C'におけるガスについても、C'-D'領域、即ち同じく低移動度の領域に、そのガスの大きな割合部分がある。このことは、移動度とキャリア密度との積のような良さの指数について考察すれば、明白である。その積は、素子がスイッチできる最終的な電流に比例するものであって、図4(d)と図5(d)とに示してある。図4(d)において(図4(b)の移動度に図4(c)の密度を乗じた積)は、キャリア密度が高い処ではどこでも移動度が高く、相互コンダクタンスは大きくくなっている。従って、発生するキャリアは全て、移動性の高いものとなる。一方、図5(d)においては、移動度(図5(b))と密度(図5(c))の積は低く、図5(c)に示したキャリアの多くは低移動度領域にあり、従って総合の導電率に対する貢献はより小さくなっている。

【0016】次に、別の2つの傾斜用プロファイルの例について、図6(a)と図7(a)に示す。図6(a)の傾斜用プロファイルは、AのところのSi/SiGe界面において始まり、そしてこの界面から2.5nmの距離のところのBの30%Geまで0%Geから傾斜上昇する。そして、そのGe含有量は、1.5nm厚の間傾斜降下してCの15%に至り、そして更に傾斜降下してSiGe/Si界面であるDにおいて0%になる。また、図7(a)の傾斜用プロファイルにおいては、Ge百分率は、Aにおける0%から、Si/SiGe界面であるBの15%にまで急激に立ち上がる。次に、このプロファイルは、7nm厚の間Cの30%にまで傾斜上昇し、そして1.3nm厚の間Dの15%にまで傾斜降下する。そして次に、このプロファイルは、SiGe/Si界面におあるEの0%にまで急激に下落する。上記の図6(a)の例においては、容量は高くなり、また移動度は、増すが、正孔のある割合のものがシリコン中にこぼれるので最大になることはない。図7(a)の傾斜形プロファイルにおいては、シリコン中にこぼれる正孔はないので、キャリア移動度は最大となるが、容量は最大とはならない。ゲルマニウムのピーク百分率のその特定の場所、従ってその電荷キャリアの場所は、所望の素子特性に依存することになる。

【0017】上記のチャネル中の電荷キャリアの位置制



10

御は、図6(b)と図7(b)に示す。これら図6(b)と図7(b)のバンド図は、それぞれ図6(a)と図7(a)のゲルマニウム傾斜をもつ素子に対応したものである。これらのバンド図は、-1.0ボルトのゲート電圧に関するものである。このバンド図に重ねて示した正孔密度は、キャリアの最大濃度の位置がそれぞれ図6(a)、図7(a)に示したゲルマニウムの最大百分率の位置と一致する、ということを示している。その平均Ge濃度が高くなると、SiGeチャネル中の移動性キャリアの、寄生表面及び基板チャネルの双方における移動性キャリアに対する比率は、図6(b)、図7(b)に示すように高くなる。

【0018】次に、図8を参照する。これには、本発明による、変調ドーブ式のn+ポリシリコン・ゲートで傾斜形SiGeチャネルのMISFET10を示してある。この図8に示した通り、シリコン基板12を設け、そしてシリコンの狭い本来の位置にドーブした層14を成長させる。p-チャネルMOSFETについては、ボロン・ドーピングを用いる。ドーバントのその総集積ドーズにより、素子のしきい値電圧が決まる。もしこの層14を、低温エピタキシーを使用して本来の位置に堆積させそしてドーブする場合、その集積ドーズは、非常に正確に制御することができる。この層14の代表的な厚さは、ドーピング濃度 $5 \times 10^{18} \text{ cm}^{-3}$ において約2~5nmである。次に、狭くて無ドーブのシリコン・スペーサ16を、ドーブ層14の上に、代表的には約2nmの厚さまで成長させる。この無ドーブのスペーサは、イオン化したアクセプタをSiGeチャネル中を流れる2D正孔ガスから物理的に分離する。もしそれよりも厚いスペーサを使用すると、好ましくない寄生基板チャネルを生ずることがある。

【0019】この素子のそれらの層は、超高真空の化学気相堆積法のような低温エピタキシー・プロセスにより、あるいは分子ビーム・エピタキシーにより成長させるようにすることができる。

【0020】次に、無ドーブのSiGeチャネル層18を、スペーサ層16の上に成長させる。このSiGeチャネル層は、相互コンダクタンスを最大にするように選択したある傾斜形プロファイルにて成長させる。この層18は、ある適切な厚さ、即ち仮像の単結晶構造を維持するのに充分な程薄く成長させるようにし、従ってその厚さは10~50nmの範囲とすることができる。

【0021】次に、シリコン・キャップ層20を、代表的には厚さ2~5nmで、SiGeチャネル層18上に堆積させる。次に、ゲート絶縁体層22(代表的には、二酸化シリコンのもの)を、そのシリコン・キャップ層20の上に形成し、そして次に、ゲート電極層24(代表的にはポリシリコン層である)を、そのゲート絶縁体層22上に形成する。それら層22と24は、周知のリソグラフィ式のマスキング及びエッチング法によりバタ

11

ーン形成する。ソース領域26とドレイン領域28は、インプラネーションまたは外方拡散により形成するようにし、そしてボロンで重くドーピングする。そして、接点30、32、34をソース、ドレイン、ゲートの各領域上に形成し、これにより本素子は完成する。層22の代表的な厚さは、3~10nmであり、層24は、50~200nmである。

【0022】シリコン-ゲルマニウム合金層18のゲルマニウムの百分率は、そのチャンネル層内で単一ピーク百分率のレベルにまで傾斜させる。このチャンネル層内のキャリアの場所は、そのピーク百分率レベルと一致することになる。これにより、SiGeチャンネル層18は、相互コンダクタンスを最大限にするように設計したあるGeプロファイルにて、形成してある。このGeプロファイルによって、組込式の電界が生じ、これはチャンネル内の所望の位置にそれらのキャリアを位置付けする。また、そのGe百分率は、ピークで約50%またはそれ以下である。代表的には、その百分率は、10~50%の間の範囲にある。好ましくは、Geの最大百分率レベルは、約30%となる。

【0023】上記チャンネルの底部及び頂部においては、大きな価電子帯の不連続が望ましいが、これは、SiGeチャンネル中に移動性キャリアを全て閉じこめ、その上、絶縁体/Si界面か、あるいはSiGeチャンネルの下のシリコン中の重ドーピング領域中かのいずれかの寄生チャンネル内のキャリアの流れを抑制するためである。これにより、ゲート24上の負の電圧が成立させる電界は、SiGe層18とSi層20との間の界面19に、多量の正のキャリアを引き付ける。この正のキャリア即ち正孔の濃度は、2次元形態を取る。2つの結晶層のその引張界面においては、その界面の正の電荷キャリアは、高い移動度を有し、そしてソース26とドレイン28の間で実質上2次元の方向に移動する。2次元の正孔ガスが上記の界面19に形成したとき、それはゲートに可能な限り近いので、この素子の容量は最大となる。しかし、キャリアの移動度は、この界面では減少するが、その理由は、多量の正孔が、低移動度のシリコン中にこぼれるからである。従って、界面19から離れた位置に2次元の正孔ガスを位置付けすることが、相互コンダクタンスを最大にするためには望ましい。そのような結果は、ゲルマニウムのピーク百分率を界面19から離して位置付けることにより得られる。

【0024】さらに、図8の例示的实施例に示したように、MOSFETのチャンネル領域を変調ドーピングすることにより、それらキャリアをイオン化した原子から物理的に分離し、これによりイオン化不純物の分散が無視できる状態で高キャリア濃度を可能にし、これによって、均ドーピング式SiGeのMOSFETと比べて高い移動度を可能にする。その上、ドーパントを、MODFETおよびBICFETの両方の場合のようにSiGe

12

チャンネルの上ではなく、その下に配置することにより、素子の製作中にSiキャップ層を薄くすることが総集積ドーピングに影響を及ぼさないため、そのプロセス感度は大いに向上する。均ドーピング式SiGeのMOSFETに優る1つの利点は、MODMOSにおいては、その寄生表面チャンネルが、そのシリコン・キャップの厚さ、従ってプロセス変動にそれ程厳しく依存しなくなることである。最後に、そのMODMOSでは、均ドーピング式SiGe MOSFETに比べて、SiGeチャンネル中のキャリアの、表面と基板の寄生チャンネルの双方の中のキャリアに対する比率を最大限にすることができる。

【0025】無ドーピングSiGeチャンネルに向かうドーピング種の拡散を少なくするため処理温度を最小限にするには、低温酸化物のような堆積形絶縁物をゲートに対し使用するのが好ましい。その正しいしきい値電圧は、ゲート材料としてn+ポリシリコンを使用することにより得られる(p+ポリシリコンでは、ディプレッション・モードの素子になる)。

【0026】図9の(a)と(b)とは、種々の素子データを示すものであり、これらデータは、同じGeプロファイルで、均ドーピング式SiGeのMOSFETと比較して、本発明の変調ドーピング式傾斜形SiGeチャンネルMOSFETから得たものである。この図9の(a)と(b)は、SiGeチャンネルの電荷と寄生表面チャンネル及び寄生基板チャンネルの電荷との比率が、均ドーピングp+ポリシリコン・ゲートSiGe MOSFETとp-MODMOSとのそれぞれに対して、Siキャップの厚さに依存している、ということを示している。その均ドーピング式SiGe MOSFETは、Ge含有量が10%、20%、30%、40%の平坦なGeプロファイルを有している。また、そのMODMOSは、ピーク百分率が20%、30%、40%、50%のプロファイルであって、しかもそのGe%がチャンネルの頂部と底部との間で20%下降した傾斜形Geプロファイルを有している。この図9の(a)と(b)とを比較すると、MODMOSでは、シリコン・キャップの厚さの変動に対する感度は、かなり低くなっている。

【0027】先に述べたように、本発明の傾斜形合金チャンネルは、他のFET形態においても実施することができる。例えば、図8のMODMOSにおいて、変調ドーピングをチャンネルの上方で設けることができ、これは、p型ドーパントでシリコン・キャップ層20を約2nmの間約 $5 \times 10^{18} \text{ cm}^{-3}$ に重くドーピングし、そしてまた、このドーピングした層とチャンネルとの間にシリコン・スペーサ層を設けることにより行える。この実施例では、層14はない。

【0028】あるMOSFETは、p+ポリシリコン・ゲートを設け、そして残りの全ての層を無ドーピングで、あるいはこの代わりとして、残りの全ての層を均一に代表

13

的には $2 \times 10^{17} \text{ cm}^{-3}$ までnドーピングして設けることにより、実現できる。

【0029】別のMOSFET実施例は、n型ドーピングをシリコン・キャップ層20中に（このキャップをチャネルから分離するシリコン・スペーサを備えて）設けるか、あるいはそのn型ドーピングを層14中に設けられるかして、実現できる。これら実施例の両者において、p+ゲートを設ける。

【0030】以上、本発明について、その例示的なまた好ましい実施例で詳細に図示し説明したが、当業者には理解されるように、形状と細部における上述した変更並びにその他の変更を、特許請求の範囲の記載によってのみ限定されるべき本発明の精神及び範囲から外れずに、行うことができる。

【図面の簡単な説明】

【図1】従来技術のシリコン-ゲルマニウム・チャネル層の平らな対称形のゲルマニウム含有量プロファイルを示す図。

【図2】本発明によるシリコン-ゲルマニウム・チャネル層の傾斜形のゲルマニウム含有量プロファイルの一例を示す図。

【図3】図1と図2とに示したプロファイルを有する素子の、チャネル電荷対ゲート電圧の曲線を比較して示す図。

【図4】(a)～(d)は、本発明による傾斜形SiGeチャネル層の場合のGe含有量プロファイル、キャリア移動度、キャリア密度、相互コンダクタンスをそれぞれ示す図。

【図5】(a)～(d)は、従来技術の平らなGeプロファイルのチャネル層の場合のGe含有量プロファイル、キャリア移動度、キャリア密度、相互コンダクタン

14

スをそれぞれ示す図。

【図6】(a)は、本発明によるシリコン-ゲルマニウム・チャネル層の2つの別のゲルマニウム含有量プロファイルの内の一方を示し、(b)は、チャネル層が(a)に示したゲルマニウム含有量傾斜プロファイルを有した、本発明の素子の正孔密度プロファイルも示したエネルギー・バンド図である。

【図7】(a)は、本発明によるシリコン-ゲルマニウム・チャネル層の2つの別のゲルマニウム含有量プロファイルの内の他方を示し、(b)は、チャネル層が(a)に示したゲルマニウム含有量傾斜プロファイルを有した、本発明の素子の正孔密度プロファイルも示したエネルギー・バンド図である。

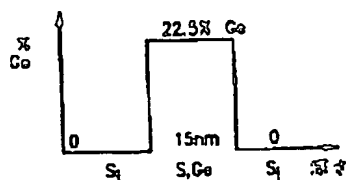
【図8】本発明のMODMOSの横断面図である。

【図9】(a)と(b)は、従来技術のSiGe MOSFETと本発明の傾斜形チャネルFETとについてのある素子データを比較して示す図。

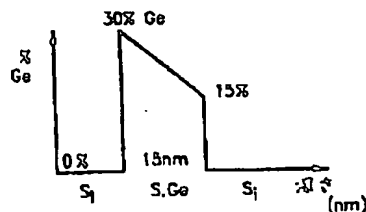
【符号の説明】

- 10: MISFET
- 12: シリコン基板
- 14: ドープ層
- 16: シリコン・スペーサ
- 18: シリコン-ゲルマニウム合金チャネル層
- 19: 界面
- 20: シリコン・キャップ層
- 22: ゲート絶縁体層
- 24: ゲート電極層
- 26: ソース領域
- 28: ドレイン領域
- 30, 32, 34: 接点

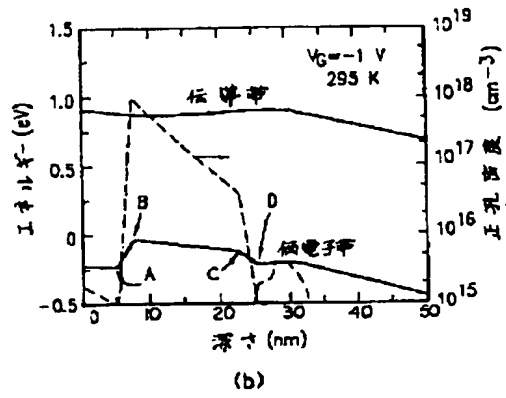
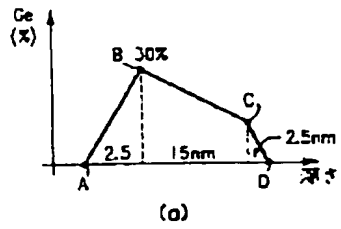
【図1】



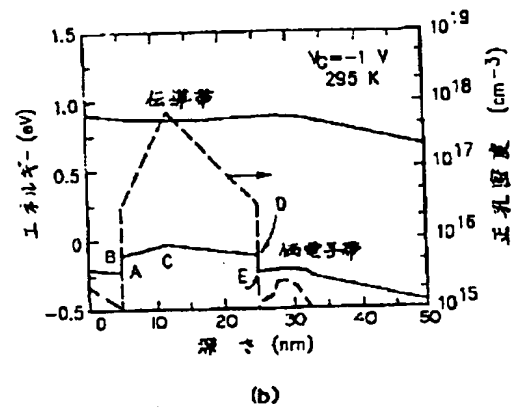
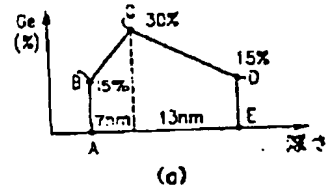
【図2】



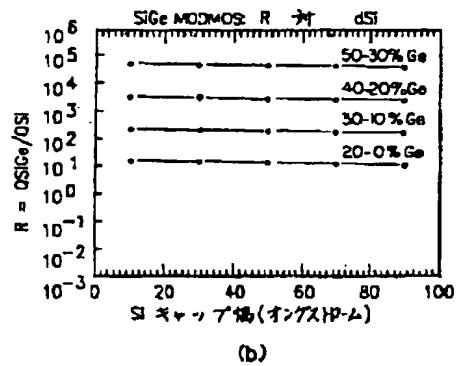
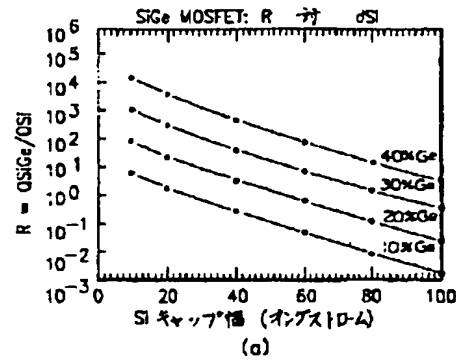
【図6】



【図7】



【図9】



フロントページの続き

(72)発明者 バーナード・ステイール・メイアーソン
アメリカ合衆国10598、ニューヨーク州
ヨークタウン・ハイツ、カリフォルニア・
ロード 235番地

(72)発明者 ヨハネス・マリア・コルネリス・ストルク
アメリカ合衆国10598、ニューヨーク州
ヨークタウン・ハイツ、スプリングハース
ト・ストリート 2728番地

(72)発明者 ソフィー・ヴェルドンクトーヴアンデプロ
ーク
アメリカ合衆国14456、ニューヨーク州
ジェニーバ、ノース・ストリート 72番地